

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-349294

(43)Date of publication of application : 15.12.2000

(51)Int.CI.

H01L 29/786

H01L 21/336

H01L 21/3065

(21)Application number : 11-

157061

(71)Applicant : MATSUSHITA

ELECTRIC IND CO

LTD

(22)Date of filing :

03.06.1999 (72)Inventor : JUMONJI SHIN

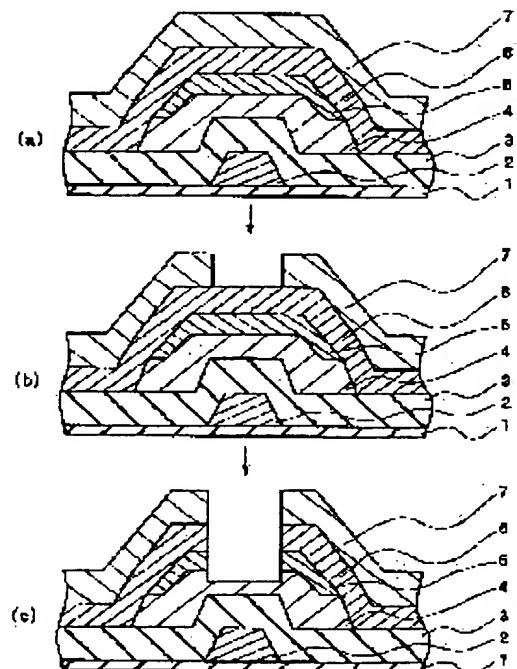
KONISHI YOSHIHIRO

(54) MANUFACTURE OF THIN-FILM TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a thin-film transistor, by which the performance and manufacturing yield of a thin-film transistor can be improved by wet-etching the upper layer parts of source and drain electrodes and collectively dry-etching the other layers.

SOLUTION: After a titanium layer 6 and an aluminum layer 7 are formed into a two-layer structure for source and drain electrodes and the aluminum layer 7 is wet-etched, the parts of the titanium layer 6, a low-resistance layer 5, and channel layer 4 are collectively removed by dry etching. Since the number of layers to be dry-etched can be reduced, uniformity of etching is improved, and in particular, the low-resistance layer 5 can be maintained easily in a prescribed film thickness. Accordingly, the characteristics of a thin-film transistor can be improved. Since the aluminum layer 7 is wet-etched, additionally the occurrence of defective etching due to dust, which works as a mask can be prevented



and the manufacturing yield of the thin film transistor, can be improved.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-349294

(P2000-349294A)

(43)公開日 平成12年12月15日 (2000.12.15)

(51)Int.Cl.⁷

H 01 L 29/786
21/336
21/3065

識別記号

F I

テ-マコ-ト(参考)

H 01 L 29/78
21/302
29/78

6 1 6 K 5 F 0 0 4
J 5 F 1 1 0
6 1 8 D

審査請求 未請求 請求項の数4 OL (全5頁)

(21)出願番号 特願平11-157061

(22)出願日 平成11年6月3日(1999.6.3)

(71)出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者 十文字 慎

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 小西 芳広

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100095555

弁理士 池内 寛幸 (外1名)

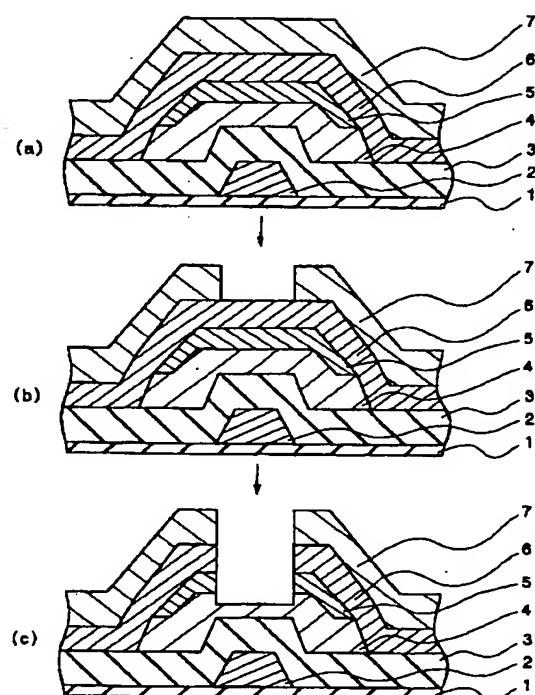
最終頁に続く

(54)【発明の名称】 薄膜トランジスタの製造方法

(57)【要約】

【課題】 ソース、ドレイン電極の上層部分をウエットエッティングし、他の各層を一括してドライエッティングすることにより、薄膜トランジスタ性能と製造歩留まりを向上できる薄膜トランジスタの製造方法を提供する。

【解決手段】 ソース、ドレイン電極用にチタン層6とアルミニウム層7とを2層構造に成膜し、アルミニウム層7のウエットエッティング後、チタン層6、低抵抗層5、及びチャネル層4の一部をドライエッティングにより一括除去する。このことにより、ドライエッティングの被エッティング層の数を減らすことができるので、エッティングの均一性が向上し、特に低抵抗層5を所定膜厚に保持することができになり、薄膜トランジスタ特性の向上が図れる。また、アルミニウム層7をウエットエッティングすることにより、ダストがマスクとなるエッティング不良を防止することができ、製造歩留まりも向上させることができる。



【特許請求の範囲】

【請求項1】 基板上にゲート電極、ゲート絶縁層、チャネル層、低抵抗層の順に積層して成膜する工程と、前記チャネル層及び前記低抵抗層を島状にパターニングする工程と、前記パターニングの後、ソース電極及びドレイン電極用の電極材料を上層と下層との2層構造に成膜する工程と、前記上層の電極材料をウェットエッチングによりパターニングした後、前記下層の電極材料、前記低抵抗層、及び前記チャネル層の一部をドライエッチングにより一括して除去する工程とを備えたことを特徴とする薄膜トランジスタの製造方法。

【請求項2】 前記ウェットエッチングに用いたマスクを、そのまま前記ドライエッチングのマスクに用いる請求項1に記載の薄膜トランジスタの製造方法。

【請求項3】 前記ウェットエッチング後の前記上層の電極材料を、前記ドライエッチングのマスクに用いる請求項1に記載の薄膜トランジスタの製造方法。

【請求項4】 前記上層の電極材料が、アルミニウムまたはアルミニウムと高融点材料との合金であり、前記下層の電極材料が、チタン、モリブデン、及びタンタルから選ばれる少なくとも一つの材料またはこれらの材料による合金である請求項1に記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置の薄膜トランジスタ(TFT)の製造方法に関するものであり、特に薄膜トランジスタアレイの、ソース電極、ドレイン電極、及びチャネル部のエッチング方法に関する。

【0002】

【従来の技術】液晶表示素子は、薄型軽量、低消費電力という大きな利点を持つため、日本語ワードプロセッサやデスクトップパーソナルコンピュータ等のOA機器の表示装置に多用されている。これに伴い、液晶表示素子の製造技術、品質の向上が強く望まれている。このような、液晶表示素子の製造技術、品質の向上を目的とした製造方法が、例えば特開平6-132533号公報に提案されている。

【0003】液晶表示素子を構成する薄膜トランジスタは、ゲート電極には、アルミニウム、クロム、またはタンタル等の金属導電膜が用いられ、ソース電極及びドレイン電極には、アルミニウム、チタン、またはモリブデン等の金属導電膜が用いられている。

【0004】以下、従来の薄膜トランジスタの製造方法の一例について、図面を用いて説明する。図2は、従来の薄膜トランジスタ液晶表示装置の面内配線パターン図を示している。図3(a)、(b)は、製造工程における図2のI-I線における断面図を示している。図3(a)は、薄膜トランジスタに必要な各層の形成後、ソース電極、及びドレイン電極用のチタン層36、及びアルミニウム層37をパターニングした状態を示している。以下、具体的に説明する。

【0005】各層の形成は、まずガラス等の絶縁性基板31上に、ゲート電極32をスパッタリング法等で成膜する。

【0006】次に、その上に窒化珪素膜等のゲート絶縁層33、非ドープ水素化アモルファスシリコン等のチャネル層34、及びリン等をドープした水素化アモルファスシリコン等の低抵抗層35を連続して成膜する。その後、チャネル層34、及び低抵抗層35を、所定のパターンにエッチングして島状に形成する。さらに、その上にソース電極、及びドレイン電極用のチタン層36、及びアルミニウム層37を形成する。

【0007】次に、アルミニウム層37、及びチタン層36をドライエッチング法によりパターニングする。この状態が図3(a)に示した状態である。さらに、図3(b)に示したように、低抵抗層35、及びチャネル層34をドライエッチング法により、エッチング加工し、ソース電極、及びドレイン電極を形成し、薄膜トランジスタを形成する。

【0008】

【発明が解決しようとする課題】しかしながら、前記のような従来の薄膜トランジスタの製造方法では、以下のような問題があった。すなわち、前記のような薄膜トランジスタの製造方法では、ソース電極、及びドレイン電極を形成する際には、いったんアルミニウム層37、及びチタン層36をドライエッチングした後、さらに低抵抗層35、及びチャネル層34をドライエッチングする。

【0009】このため、各層には、±10%のエッティングレートの不均一や、±8%の膜厚のムラ等が生じ、このことがトランジスタのモビリティーに大きく影響し、コントラストにムラができるという問題があった。特に、低抵抗層の膜厚を所定の厚さに保持するのが困難であり、低抵抗層の膜厚変動に起因する薄膜トランジスタ特性のバラツキにより表示ムラが発生するという問題があった。

【0010】さらに、アルミニウム層のドライエッチング時における反応生成物によるダストがマスクとなりエッチング不良が発生するという問題があった。

【0011】本発明は、前記のような従来の問題を解決するものであり、ソース、ドレイン電極の上層部分をウェットエッチングし、他の各層を一括してドライエッチングすることにより、薄膜トランジスタ性能と製造歩留まりを向上できる薄膜トランジスタの製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】前記目的を達成するため、本発明の薄膜トランジスタの製造方法は、基板上にゲート電極、ゲート絶縁層、チャネル層、低抵抗層の順

に積層して成膜する工程と、前記チャネル層及び前記低抵抗層を島状にパターニングする工程と、前記パターニングの後、ソース電極及びドレイン電極用の電極材料を上層と下層との2層構造に成膜する工程と、前記上層の電極材料をウエットエッチングによりパターニングした後、前記下層の電極材料、前記低抵抗層、及び前記チャネル層の一部をドライエッチングにより一括して除去する工程とを備えたことを特徴とする。

【0013】前記のような、薄膜トランジスタの製造方法によれば、ドライエッチングの被エッチング層の数を減らすことができるので、エッチングの均一性が向上し、各層の膜厚、特に低抵抗層の膜厚を所定の膜厚に保持することが容易になり、薄膜トランジスタ特性の向上が図れる。さらに、ソース電極及びドレイン電極用の電極材料の上層をウエットエッチングで処理することにより、ドライエッチングを行なった場合のような反応生成物によるダストがマスクとなることによるエッチング不良を防止することができ、製造歩留まりも向上させることができる。

【0014】前記薄膜トランジスタの製造方法においては、前記ウエットエッチングに用いたマスクを、そのまま前記ドライエッチングのマスクに用いることが好ましい。前記のような、薄膜トランジスタの製造方法によれば、ウエットエッチングとドライエッチングの両方に同一のマスクを用いるので、エッチングの均一性を向上させることができる。

【0015】また、前記ウエットエッチング後の前記上層の電極材料を、前記ドライエッチングのマスクに用いることが好ましい。前記のような、薄膜トランジスタの製造方法によれば、ドライエッチングに別途マスクを用いる必要がないので、エッチングの均一性を向上させることができる。

【0016】また、前記上層の電極材料が、アルミニウムまたはアルミニウムと高融点材料との合金であり、前記下層の電極材料が、チタン、モリブデン、及びタンタルから選ばれる少なくとも一つの材料またはこれらの材料による合金であることが好ましい。

【0017】

【発明の実施の形態】以下、本発明に係る薄膜トランジスタの製造方法の一実施形態について、図面を参照しながら説明する。図2に示した従来の薄膜トランジスタ液晶表示装置の面内配線パターン図は、本実施形態でも同様であるので、図2を本実施形態のものとして用いる。図1(a)～(c)は、図2のI-I線における断面に相当し、本実施形態に係る各製造工程における断面図を工程順に示したものである。

【0018】まず、図1(a)に示したように、ガラス等の絶縁性基板1上に、スパッタリング法等でアルミニウム等の金属膜を成膜した後、フォトリソグラフィー法等でゲート電極2を形成する。

【0019】次に、ゲート電極2の上にゲート絶縁層3を形成する。ゲート絶縁層3は、後述の2つの半導体層と十分なエッチング選択比を有する窒化珪素膜等で形成する。さらに、ゲート絶縁層3上にチャネル層4、及び低抵抗層5をプラズマCVD法等で連続成膜する。チャネル層4は、非ドープ水素化アモルファスシリコン等で形成する。低抵抗層5は、矯等をドープした水素化アモルファスシリコン等で形成する。

【0020】次に、チャネル層4及び低抵抗層5を、ドライエッチング法等により所定のパターンにエッチングして、島状にパターニングする。その上にソース、ドレイン電極用として、チタン層6、及びアルミニウム層7をスパッタリング法等で成膜する。すなわち、ソース、ドレイン電極は、上層であるアルミニウム層7と下層であるチタン層6との2層構造である。

【0021】次に、チャネル部の形成を行なう。図1(b)に示したように、ソース、ドレイン電極用のアルミニウム層7をウエットエッチングする。次に、図1(c)に示したように、アルミニウム層7をマスクとして、チタン層6、低抵抗層5、及びチャネル層4の3層を一括してドライエッチングする。このドライエッチングのマスクについては、アルミニウム層7のウエットエッチングに用いたマスクを、そのまま用いてよい。

【0022】この一括したドライエッチングにより、ドライエッチングでの被エッチング層の数を減らすことができるので、エッチングの均一性を向上させることができ、各層の膜厚、特に低抵抗層5の膜厚を所定の膜厚に保持することが容易になり、薄膜トランジスタ特性の向上が図れる。

【0023】さらに、アルミニウム層7をウエットエッチングで処理することにより、ドライエッチングを行なった場合のような反応生成物によるダストがマスクとなることによるエッチング不良を防止することができ、製造歩留まりも向上させることができる。

【0024】なお、ソース、ドレイン電極の上層がアルミニウム層の例を示したが、アルミニウムと高融点材料との合金でもよい。また、ソース、ドレイン電極の下層がチタン層の例を示したが、チタン、モリブデン、及びタンタルから選ばれる少なくとも一つの材料でもよく、これらの材料による合金でもよい。

【0025】

【発明の効果】以上のように、本発明の薄膜トランジスタの製造方法によれば、ドライエッチングの被エッチング層の数を減らすことができるので、エッチングの均一性が向上し、各層の膜厚、特に低抵抗層の膜厚を所定の膜厚に保持することが容易になり、薄膜トランジスタ特性の向上が図れる。さらに、ソース電極及びドレイン電極用の電極材料の上層をウエットエッチングで処理することにより、ドライエッチングを行なった場合のような反応生成物によるダストがマスクとなることによるエッ

チング不良を防止することができ、製造歩留まりも向上させることができる。

【0026】

【図面の簡単な説明】

【図1】本発明の薄膜トランジスタの製造方法に係る一実施形態の工程を示す図

【図2】従来の薄膜トランジスタ液晶表示装置の面内配線パターンの一例を示す図

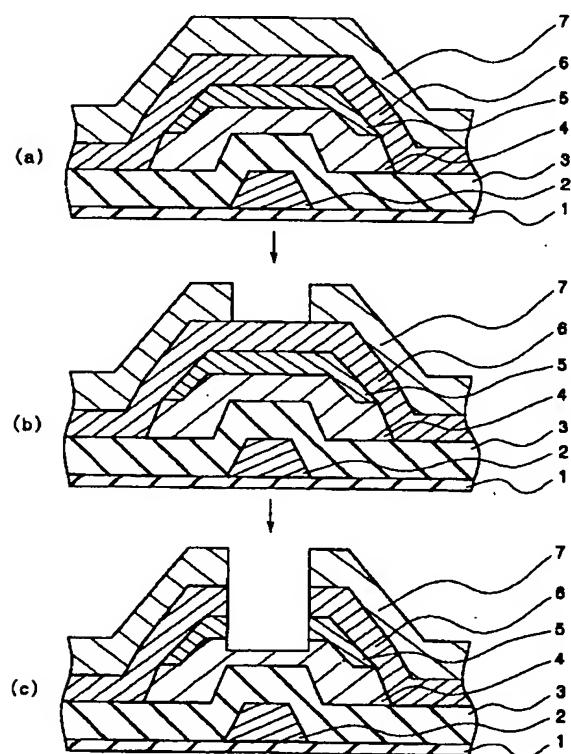
【図3】従来の薄膜トランジスタの製造方法の一例を示す図

す図

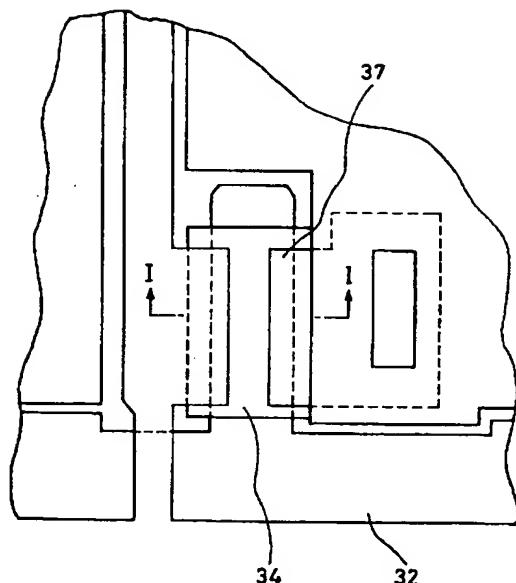
【符号の説明】

- 1 絶縁性基板
- 2 ゲート電極
- 3 ゲート絶縁層
- 4 チャネル層
- 5 低抵抗層
- 6 チタン層
- 7 アルミニウム層

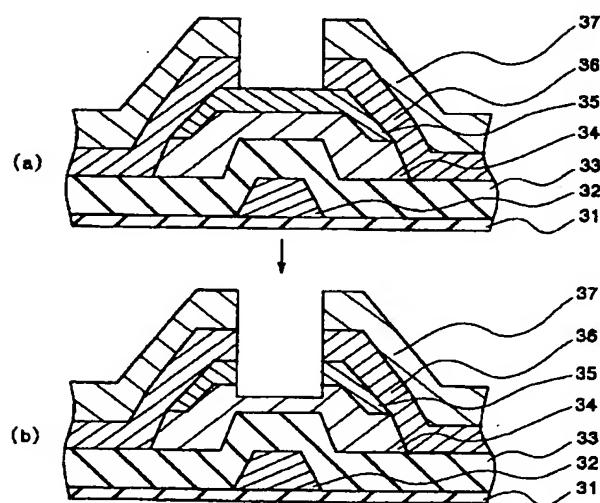
【図1】



【図2】



【図3】



(5) 000-349294 (P2000-349294A)

フロントページの続き

F ターム(参考) 5F004 AA01 AA16 DB08 DB09 DB12
DB30 EA10 EA28 EB02
5F110 AA30 CC07 DD02 EE03 EE44
FF03 GG02 GG15 HK03 HK04
HK06 HK09 HK16 HK21 HK25
HK26 HK33 QQ04 QQ05 QQ09